

4. DDR2_IFブロック図

DDR2_IFモジュールのブロック図を図3に示します。

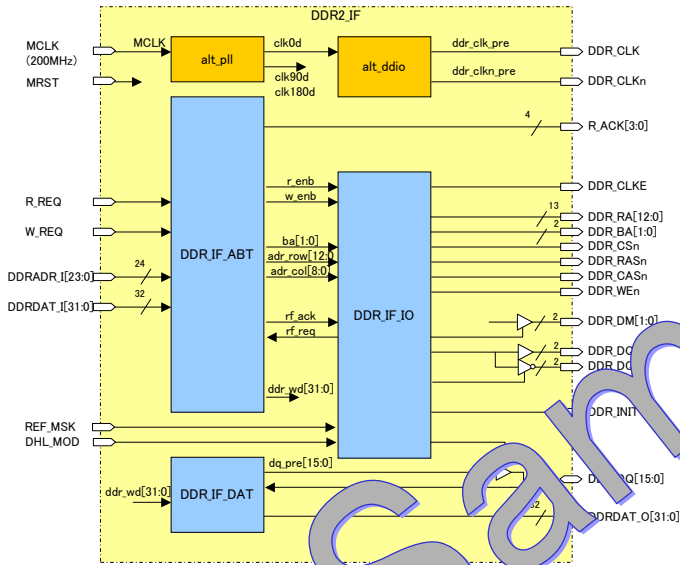


図4 DDR2_IF

5. 入出力一覧

入出力一覧を表4に示します。

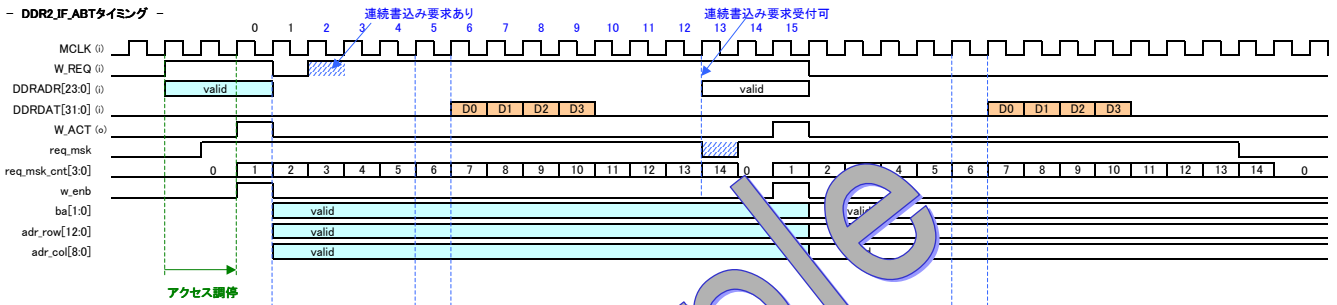
表5 DDR2_IF 入出力一覧

項番	信号名	bit	I/O	H/L	接続先	機能	備考
1	MCLK	1	I	-	System	Systemクロック	133MHz
2	MRST	1	I	H	System	Systemリセット	
3	R.REQ	1	I	H	ユーザ回路	DDR-SDRAM読み出し要求	
4	W.REQ	1	I	H	ユーザ回路	DDR-SDRAM書き込み要求	
5	DDRADR_I[23:0]	24	I	H	ユーザ回路	アクセスアドレス1	
6	DDRDAT_I[31:0]	32	I	H	ユーザ回路	書き込みデータ1	
1	REF_MSK	1	I	H	System	Refreshマスク	0/1:OFF/ON
2	DHL_MOD	1	I	H	System	Data H/L mode	0/1:Normal/Reverse
3	DDR_INIT	1	O	H	System	DDR初期化完了	0/1:初期化中/完了
4	R.ACK	1	O	H	ユーザ回路	DDR-SDRAM読み出し要求応答	
5	W.ACK	1	O	H	ユーザ回路	DDR-SDRAM書き込み要求応答	
6	DDR_O[31:0]	32	O	H	ユーザ回路	DDR-SDRAM読み出しデータ	
7	DDR_CLK	1	I	H	DDR2-SDRAM	differential clock inputs	
8	DDR_CLKn	1	I	H	DDR2-SDRAM	differential clock inputs	
9	DDR_CLKE	1	O	H	DDR2-SDRAM	Clock enable	0/1:disable/enable
10	DDR_RA[1:0]	2	O	H	DDR2-SDRAM	Address inputs	
11	DDR_BA[1:0]	2	O	H	DDR2-SDRAM	Bank address inputs	
12	DDR_CASn	1	O	L	DDR2-SDRAM	Chip select	
13	DDR_RASn	1	O	L	DDR2-SDRAM	Command inputs	
14	DDR_CASn	1	O	L	DDR2-SDRAM	Command inputs	
15	DDR_WEn	1	O	L	DDR2-SDRAM	Command inputs	
16	DDR_DM[1:0]	2	O	H	DDR2-SDRAM	input data mask	
17	DDR_DQST	2	O	H	DDR2-SDRAM	input data mask	
18	DDR_DQ[15:0]	16	I/O	L	DDR2-SDRAM	Data strobe	
19	DDR_DQ[15:0]	16	I/O	H	DDR2-SDRAM	Data input/output	

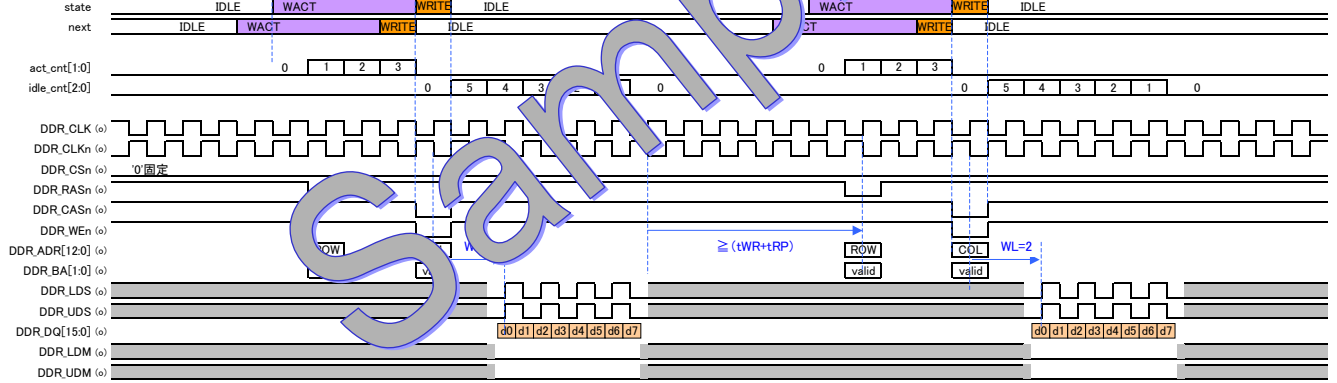
6 動作タイミングチャート

【連続書き込みタイミング】

- DDR2_IF.ABTタイミング -



- DDR2_IF.IOタイミング -



tWR : 15nS
tRP : 15nS

